

(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02241114 A**

(43) Date of publication of application: **25.09.90**

(51) Int. Cl
H03K 19/0185
H03K 5/15
H03K 17/16
H03K 19/0948

(21) Application number: **01063067**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **14.03.89**

(72) Inventor: **NISHITANI KAZUHARU**

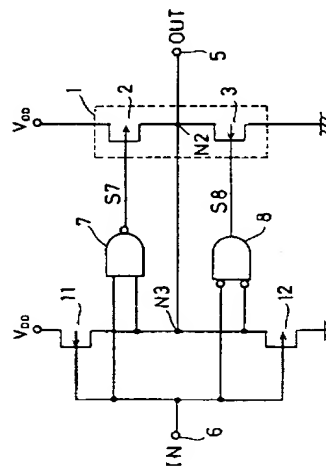
(54) **OUTPUT BUFFER CIRCUIT**

(57) Abstract:

PURPOSE: To obtain an output buffer circuit being evaded the flow of a through- current to an output buffer by controlling 1st and 2nd transistors(TRs) in the output buffer so as not to turn on simultaneously based on a potential obtained from an output terminal.

CONSTITUTION: Between power supply and ground, an n-channel MOST 11 and a p-channel MOST 12 whose size is smaller than an n-channel MOST 3 and a p-channel MOST 2 are provided in series. An input signal connection terminal 6 is connected in common to a gate of the n-MOST 11 and the p- MOST 12 and a connecting point N3 between the source of the nMOST 11 and the source of pMOST 12 connects to an output section N2 of an output buffer 1. In such a case, the potential of an output signal OUT is monitored to turn on either of the pMOST 2 and the nMOST 3 based on H, L level of the output signal OUT. The ON/OFF control of the pMOST 2 and the nMOST 3 is implemented by using a NAND gate 7 and a NOR gate 8. Thus, the possibility of simultaneous ON of the pMOST 2 and the nMOST 3, that is, the possibility of flow of through-current to the output buffer 1 is made zero.

COPYRIGHT: (C)1990,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-241114

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月25日

H 03 K 19/0185
5/15
17/16
19/0948

C 6959-5J
L 8124-5J

8326-5J H 03 K 19/00 1 0 1 D
8326-5J 19/094 B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 出力バッファ回路

⑯ 特 願 平1-63067

⑰ 出 願 平1(1989)3月14日

⑱ 発 明 者 西 谷 一 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

出力バッファ回路

2. 特許請求の範囲

(1) 入力及び出力端子と、

第1および第2の電源と、

大電流供給可能なトランジスタサイズを有し、一方電極がそれぞれ前記第1及び第2の電源に接続され他方電極が前記出力端子に共通に接続された第1及び第2のトランジスタからなり、前記第1のトランジスタがオンすると前記第1の電源によって規定される第1の電圧レベルの信号を前記出力端子に出力し、前記第2のトランジスタがオンすると前記第2の電源によって規定される第2の電圧レベルの信号を前記出力端子に出力する出力バッファと、

前記入力端子より得られる入力信号の電位に基づき、前記出力端子の電位を前記第1あるいは第2の電圧レベルに導く電位設定手段と、

前記出力端子の電位を検出し、該電位が前記第

1の電圧レベルの場合、前記入力信号の電位に基づき前記第1のトランジスタのオン、オフを制御し、それ以外の場合は前記第1のトランジスタをオフ状態にする第1の制御手段と、

前記出力端子の電位を検出し、該電位が前記第2の電圧レベルの場合、前記入力信号の電位に基づき前記第2のトランジスタのオン、オフを制御し、それ以外の場合は前記第2のトランジスタをオフ状態にする第2の制御手段とを備えた出力バッファ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は貫通電流を減少させることが可能な出力バッファ回路に関するものである。

〔従来の技術〕

第3図は従来の出力バッファ回路を示す回路図である。同図に示すように、出力バッファ1は、直列に接続されたpチャネルMOSトランジスタ(以下、「pMOS T」という。)2とnチャネルMOSトランジスタ(以下、「nMOS T」という。)3と

いう。) 3とにより構成されている。この出力バッファ1の入力部N1は、出力バッファ駆動用インバータ4の出力が接続されており、出力部N2は出力端子5に接続されている。また、インバータ4の入力は入力信号接続端子6に接続されている。

第4図は、第3図で示した出力バッファ回路の動作を示すタイミング図である。なお、同図において、INは入力信号接続端子6に印加される入力信号、S4はインバータ4の出力信号、OUTは出力端子5より得られる出力信号を示している。同図に示すように、入力信号INがインバータ4を介することにより時間 Δt を遅延して、出力信号OUTとして現れている。

一般に出力バッファ1は外部信号駆動のため大電流が流れるよう設計されている。一方、第3図の例のように出力バッファ1のpMOS T2とnMOS T3のゲートに与えられる信号(第3図の例ではインバータ4の出力信号S4)が同一である場合、この信号の電位反転時に、pMOS T2

- 3 -

0となっている。

第6図は第5図で示した出力バッファ回路の動作を示すタイミング図である。なお、同図において、T2、T3はそれぞれpMOS T2、nMOS T3のオン、オフ状態を示している。

同図に示すように、NANDゲート7及びNORゲート8の他方入力であるインバータ10の出力信号S10はインバータ9、10を介することにより時間 $2\Delta t$ 分、NANDゲート7、NORゲート8の一方入力である入力信号INより遅延している。このため、入力信号INの“L”→“H”変化時は、NORゲート8の出力信号S8の方がNANDゲート7の出力信号S7より $2\Delta t$ 時間早く“L”レベルに立下り、入力信号INの“H”→“L”変化時は、信号S7の方が信号S8より $2\Delta t$ 時間早く“H”レベルに立上る。したがって、信号S7、S8の立上り、立下り時刻に $2\Delta t$ の時間差が生じるため、信号S7、S8がそれぞれゲートに入力されるpMOS T2、nMOS T3が同時にオンすることが回避される。

- 5 -

とnMOS T3とが共にオンする期間が生じ、この瞬間電圧、接地間に大きな貫通電流が流れてしまう。

この貫通電流は、出力バッファ1を含むIC内部で電圧降下をもたらし、特に同時に多数の出力バッファの出力が変化するときには誤動作に至ることもあるという欠点がある。

この欠点を回避するための出力バッファ回路として、例えば第5図に示すものがある。第5図に示すように、出力バッファ1のpMOS T2とnMOS T3とのゲートに入力する信号を別々にし、pMOS T2のゲート入力にNANDゲート7の出力信号S7が、nMOS T3のゲート入力にNORゲート8の出力信号S8が入力されるように、出力バッファ1とNANDゲート7、NORゲート8とを接続している。

NANDゲート7及びNORゲート8の入力信号は同一であり、一方入力は入力信号INであり、他方入力は入力信号INが直列に接続された2つのインバータ9、10を介して得られる信号S1

- 4 -

【発明が解決しようとする課題】

しかしながら、インバータ9、10を介することにより生じる遅延時間 $2\Delta t$ は、インバータ9、10を構成するトランジスタの閾値電圧、ゲート酸化膜厚等のIC製造上の要因及び電源電圧、温度等の動作周囲環境上の影響を受けて変動してしまう。

このため、所望の遅延時間を正確に得ることができず、nMOS T2とpMOS T3が同時にオン状態になる可能性があり、確実に出力バッファ1の貫通電流を回避できないという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、出力バッファに貫通電流が流れることを、確実に回避した出力バッファ回路を得ることを目的とする。

【課題を解決するための手段】

この発明にかかる出力バッファ回路は、入力及び出力端子と、第1および第2の電源と、大電流供給可能なトランジスタサイズを有し、一方電極

- 6 -

がそれぞれ前記第1及び第2の電源に接続され他方電極が前記出力端子に共通に接続された第1及び第2のトランジスタからなり、前記第1のトランジスタがオンすると前記第1の電源によって規定される第1の電圧レベルの信号を前記出力端子に出力し、前記第2のトランジスタがオンすると前記第2の電源によって規定される第2の電圧レベルの信号を前記出力端子に出力する出力バッファと、前記入力端子より得られる入力信号の電位に基づき、前記出力端子の電位を前記第1あるいは第2の電圧レベルに導く電位設定手段と、前記出力端子の電位を検出し、該電位が前記第1の電圧レベルの場合、前記入力信号の電位に基づき前記第1のトランジスタのオン、オフを制御し、それ以外の場合は前記第1のトランジスタをオフ状態にする第1の制御手段と、前記出力端子の電位を検出し、該電位が前記第2の電圧レベルの場合、前記入力信号の電位に基づき前記第2のトランジスタのオン、オフを制御し、それ以外の場合は前記第2のトランジスタをオフ状態にする第2の制

御手段とを備えている。

〔作用〕

この発明における第1の制御手段は、出力端子の電位を検出し、該電位が前記第1の電圧レベルの場合、入力信号の電位に基づき第1のトランジスタのオン、オフを制御し、それ以外の場合は第1のトランジスタをオフ状態にしており、一方、第2の制御手段は、出力端子の電位を検出し、該電位が前記第2の電圧レベルの場合、前記入力信号の電位に基づき前記第2のトランジスタのオン、オフを制御し、それ以外の場合は前記第2のトランジスタをオフ状態にしている。

このため、第1及び第2のトランジスタが同時にオン状態になる可能性は全くない。

〔実施例〕

第1図はこの発明の一実施例である出力バッファ回路を示す回路図である。同図に示すように、新たに電源、接地間に、pMOS T2、nMOS T3と比べてトランジスタサイズ（ゲート幅/ゲート長）の小さいnMOS T11（電源側）、p

- 7 -

MOS T12（接地側）が直列に設けられている。

これらのnMOS T11、pMOS T12のゲートには、入力信号接続端子6が共通に接続されている。また、nMOS T11のソースとpMOS T12のソースとの接続点N3は、出力バッファ1の出力部N2と接続されている。

NANDゲート7、NORゲート8の出力～出力端子5に至る構成は、第5図の従来例と同じであり説明は省略するが、NANDゲート7、NORゲート8双方の他方入力が従来と異なり、出力バッファ1の出力信号OUTになるように、出力端子5が接続点N3に接続されている。

第2図は、第1図で示した出力バッファ回路の動作を示すタイミング図である。以下、同図を参照しつつ動作の説明をする。

入力信号INが“H”→“L”に立下ると、NANDゲート7の一方入力が“L”となるため、その出力信号S7が“L”→“H”レベルに立上る。その結果、オン状態であったpMOS T2がオフする。また、NORゲート8の他方入力（出

- 8 -

力信号OUT）が“H”であるため、その出力信号S8は“L”を保っており、nMOS T3はオフ状態を維持している。

一方、入力信号INの立下りに伴い、nMOS T11、pMOS T12のオン、オフが切り替わり、nMOS T11がオフ、pMOS T12がオンする。その結果、出力信号OUTはオン状態のpMOS T12により“L”レベルに導かれる。

そして、出力信号OUTが、NORゲート8により“L”レベルと認識される電位にまで低下すると、NORゲート8の2入力（出力信号OUT）となるため、その出力信号S8が“H”レベルに立上る。その結果、オフ状態であったnMOS T3がオンし、電流駆動能力の大きい出力バッファ1を通じて“L”レベルの信号が出力信号OUTとして出力される。

入力信号が“L”→“H”に立上ると、NORゲート8の一方入力が“H”となるため、その出力信号S8が“L”レベルに立下る。その結果、オン状態であったnMOS T3がオフする。また、

- 9 -

- 10 -

NANDゲート7の他方入力(出力信号OUT)が“L”であるため、その出力信号S7は“H”を保っておりpMOST2はオフ状態を維持する。

一方、入力信号INの立上りに伴い、nMOST11、pMOST12のオフ、オンが切り替わり、nMOST11がオン、pMOST12がオフする。その結果、出力信号OUTは、オン状態のnMOST11により“H”レベルに導かれる。

そして、出力信号OUTが、NANDゲート7により“H”レベルと認識される電位にまで上昇すると、NANDゲート7の2入力が共に“H”レベルとなるため、その出力信号が“L”レベルに立下る。その結果、オフ状態であったpMOST2がオンし、電流駆動能力の大きい出力バッファ1を通じて“H”レベルの信号が出力信号OUTとして出力される。

このように、出力信号OUTの電位をモニタし、出力信号OUTの“H”、“L”レベルに基づき、pMOST2、nMOST3のうち一方のみを、オン可能にする、pMOST2、nMOST3の

オン、オフ制御を、NANDゲート7、NORゲート8により行っている。このため、pMOST2、nMOST3が同時にオンする可能性はゼロとなる。したがって、この出力バッファ1に貫通電流が流れる可能性はゼロになる。

また、nMOST11、pMOST12からなる電位設定手段により、入力信号INに基づいた電位に出力信号OUTを導くため、pMOST2、nMOST3が共にオフ状態となり、出力バッファ1の出力部N2がフローティングとなる場合でも、出力信号OUTの電位を確実に“H”、“L”レベルに設定できる。したがって、pMOST2、nMOST3が共にオフ状態の期間が長期間続くことはない。

なお、入力信号INの立上り、立下り時に、nMOST11、pMOST12を介し電源、接地間に貫通電流が流れるが、nMOST11、pMOST12のトランジスタサイズは十分小さいため、さほど問題にならない。

また、nMOST11、pMOST12の閾値

— 11 —

電圧は、pMOST2、nMOST3が共にオフ状態の時、NANDゲート7、NORゲート8により、出力信号OUTの“H”、“L”が認識できるレベルに設定されている。

(発明の効果)

以上説明したように、この発明によれば、第1、第2の制御手段により、出力端子より得られる電位に基づき、出力バッファ内の第1、第2のトランジスタが同時にオンしないように制御するため、出力バッファに貫通電流が流れることはない。

4. 図面の簡単な説明

第1図はこの発明の一実施例である出力バッファ回路を示す回路図、第2図は第1図で示した出力バッファ回路の動作を示すタイミング図、第3図及び第5図は従来の出力バッファ回路を示す回路図、第4図は第3図で示した出力バッファ回路の動作を示すタイミング図、第6図は第5図で示した出力バッファ回路の動作を示すタイミング図である。

図において、1は出力バッファ、2はpMOS

— 13 —

— 12 —

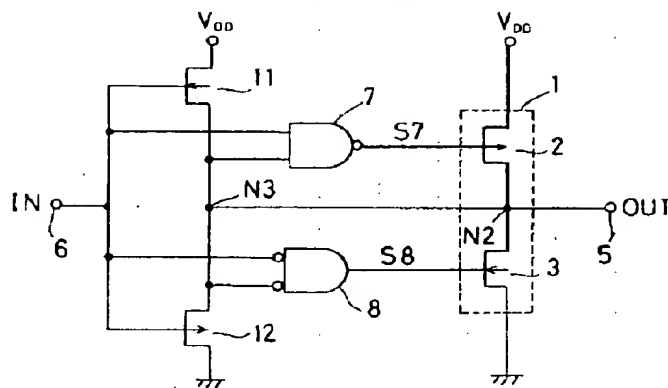
T、3はnMOST、5は出力端子、6は入力信号接続端子、7はNANDゲート、8はNORゲート、11はnMOST、12はpMOSTである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

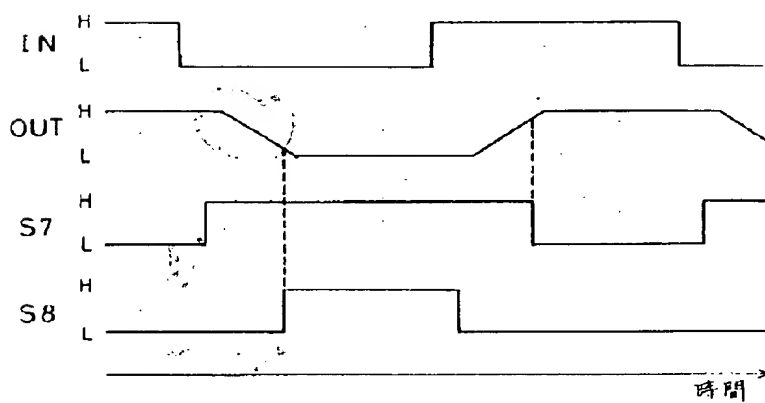
— 14 —

第 1 図

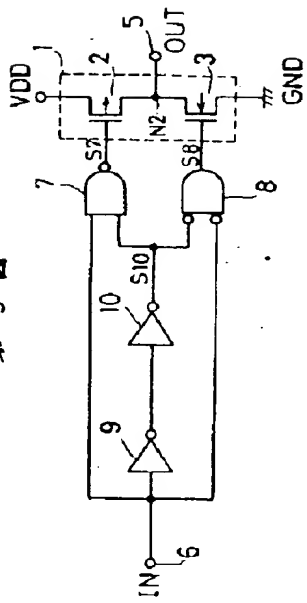


- | | |
|-----------------|-----------------|
| 1 ---- 出力バッファ | 7 ---- NAND ゲート |
| 2 ---- pMOST | 8 ---- NOR ゲート |
| 3 ---- nMOST | 11 ---- nMOST |
| 5 ---- 出力端子 | 12 ---- pMOST |
| 6 ---- 入力信号接続端子 | |

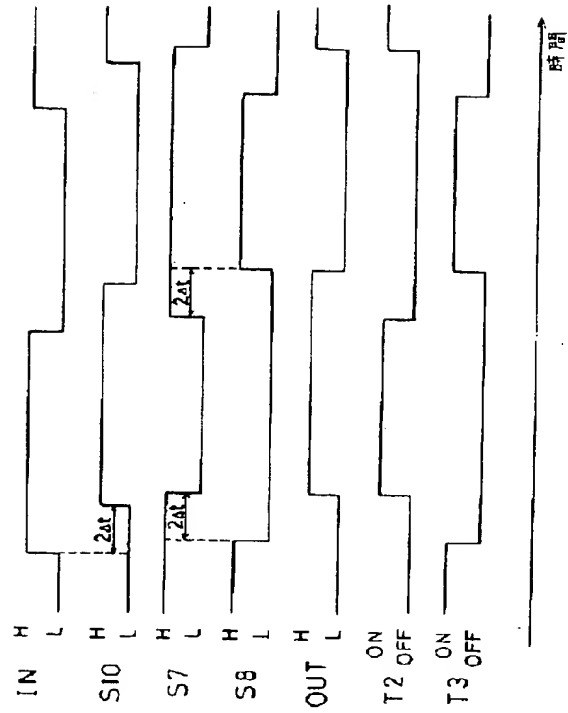
第 2 図



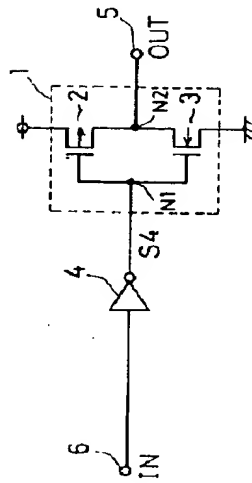
第 5 圖



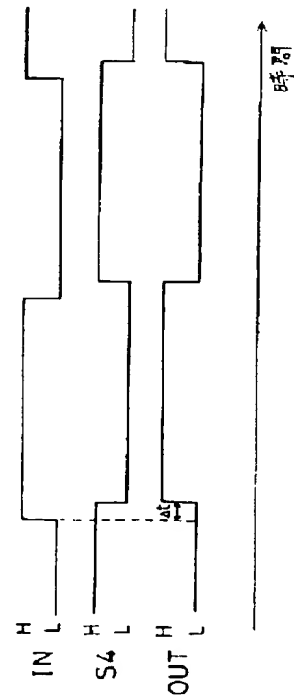
第 6 圖



第 3 圖



第 4 圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.